

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

04488521    \*\*Image available\*\*

**MANUFACTURE OF THIN-FILM MULTILAYER CIRCUIT BOARD**

**PUB. NO.:**    06-132421 [JP 6132421 A]

**PUBLISHED:**    May 13, 1994 (19940513)

**INVENTOR(s):** OZAWA TAKASHI

**APPLICANT(s):** FUJITSU LTD [000522] (A Japanese Company or Corporation), JP  
(Japan)

**APPL. NO.:**    04-276413 [JP 92276413]

**FILED:**        October 15, 1992 (19921015)

**INTL CLASS:**    [5] H01L-023/12; H05K-003/46

**JAPIO CLASS:** 42.2 (ELECTRONICS -- Solid State Components); 14.2 (ORGANIC  
CHEMISTRY -- High Polymer Molecular Compounds); 42.1  
(ELECTRONICS -- Electronic Components)

**JOURNAL:**        Section: E, Section No. 1590, Vol. 18, No. 425, Pg. 18,  
August 09, 1994 (19940809)

**ABSTRACT**

**PURPOSE:** To provide an effective manufacturing method of a thermal-via regarding the manufacturing method of a thin-film multilayer board using a polyimide as an interlayer insulating layer.

**CONSTITUTION:** Manufacturing method of a thin-film multilayer circuit board is constituted by including a process wherein a metal layer 14 for heat-dissipating is formed on a ceramic substrate 1 and a polyimide layer 15 for antireflection is formed on the metal layer, a process wherein interlayer insulating layers 18 provided with the same hole diameter are laminated in a thermal- via formation position while they are being aligned, a process wherein a dry etching operation is performed, a hole is reshaped and a hole is made in the polyimide layer 15 for antireflection and a process wherein the hole is filled with a metal by a plating treatment.

特開平6-132421

(43) 公開日 平成6年(1994)5月13日

(51) Int. Cl. °

識別記号

F I

H01L 23/12

H05K 3/46

E 6921-4E

N 6921-4E

9355-4M

9355-4M

H01L 23/12

N

J

審査請求 未請求 請求項の数1 (全5頁)

(21) 出願番号

特願平4-276413

(22) 出願日

平成4年(1992)10月15日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 小澤 隆史

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

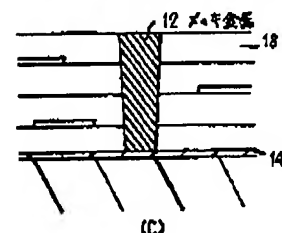
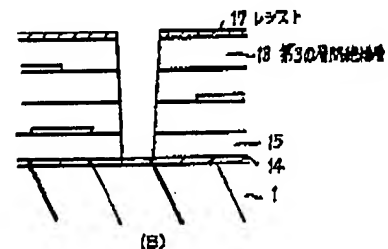
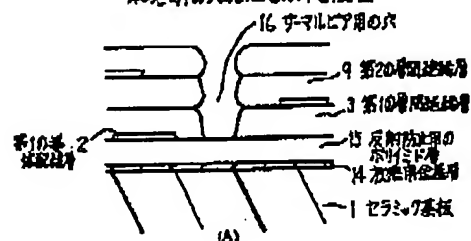
(54) 【発明の名称】 薄膜多層回路基板の製造方法

(57) 【要約】

【目的】 ポリイミドを層間絶縁層とする薄膜多層基板の製造方法に関し、サーマルビアの効果的な製造方法を提供することを目的とする。

【構成】 セラミック基板上に放熱用金属層を形成し、この金属層上に反射防止用ポリイミド層を形成する工程と、サーマルビア形成位置に同じ穴径を有する層間絶縁層を位置合わせしながら積層する工程と、ドライエッチングを行なって穴の整形と反射防止用ポリイミド層の穴開けをする工程と、メッキ処理により穴を金属で埋める工程とを含むことを特徴として薄膜多層回路基板の製造方法を構成する。

本発明の実施法を示す断面図



## 【特許請求の範囲】

【請求項1】 ポリイミドを層間絶縁層とし、該層間絶縁層上にパターン形成してある導体配線層を該層間絶縁層に設けたビアで回路接続しながら積層してなる多層回路基板において、半導体チップの放熱用に設けるサーマルビアが、

セラミック基板上に放熱用金属層を形成し、該金属層上に反射防止用ポリイミド層を形成する工程と、

サーマルビア形成位置に同じ穴径を有する層間絶縁層を位置合わせしながら積層する工程と、

ドライエッチングを行なって該穴の整形と反射防止用ポリイミド層の穴開けをする工程と、

メッキ処理により該穴を金属で埋める工程と、

を含むことを特徴とする薄膜多層回路基板の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はポリイミドを層間絶縁層とする場合に必要となるサーマルビアを備えた薄膜多層回路基板の製造方法に関する。

【0002】 大量の情報を迅速に処理する必要から情報処理装置は大容量化が行なわれており、LSIやVLSIなどの半導体集積回路をマトリックス状に配列してなるマルチチップモジュール（略称MCM）の実用化が進められている。

【0003】 ここで、MCMを構成するセラミック回路基板は、上部に高速信号を処理し、多大の発熱を伴う半導体集積回路を多数搭載することからセラミック基板は、① 耐熱性が優れていること、② 熱伝導率が優れていること、などの条件を満たすことが必要であり、従来より使用されているアルミナ基板（ $Al_2O_3$ 、熱伝導率20 W/mK）以外に窒化アルミニウム（ $AlN$ 、熱伝導率200 W/mK）が着目されている。

【0004】 また、この基板上に多層回路を形成する場合に必要な層間絶縁層は、伝播する信号の周波数が極めて高いことから、信号の伝播遅延時間になるべく少ないこと、線間の漏話が少ないことが必要であり、そのため①および②の条件に加えるに、③ 比誘電率が小さいこと、が必要であるが、かかる必要条件の総て満たす材料は見出されていない。

【0005】 すなわち、層間絶縁層の形成に適した材料としては無機材料と有機材料があるが、二酸化硅素（ $SiO_2$ ）や窒化硅素（ $Si_3N_4$ ）などの無機材料は耐熱性は優れているものの誘電率が大きいと云う問題がある。

【0006】 一方、有機材料は誘電率は小さいものの、一般に耐熱性に劣っている。然し、ポリイミドは耐熱性と低誘電率（ $\epsilon=3.4$ ）を併せもつ材料であることから、層間絶縁層の構成材料として着目され実用化が進められている。

## 【0007】

【従来の技術】 MCMを構成するセラミック回路基板と

して $Al_2O_3$ 基板或いは $AlN$ 基板の上に銅（Cu）の薄膜からなる導体配線層とポリイミドからなる層間絶縁層を交互に積層した薄膜多層回路基板が実用化されている。

【0008】 すなわち、図2に示すようにセラミック基板1の上にスパッタ法などを用いてクローム（Cr）/Cu/Crの薄膜を形成し、写真蝕刻技術（フォトリソグラフィ）を用いて選択エッチングを行い、第1の導体配線層2を形成する。

【0009】 ここで、Cr薄膜は導体配線層を構成するCuと基板との密着性を向上するために用いられている。次に、感光性ポリイミド液をスピンコートし、溶剤乾燥を行なった後、選択露光を行なってビア形成用穴を備えた第1の層間絶縁層3を形成する。

【0010】 次に、先と同様にCr/Cu/Crの三層膜を形成した後、選択エッチングを行なってビア4を含む第2の導体配線層5を形成する。以下、同様の工程を繰り返して薄膜多層回路基板6が形成されており、最上層に設けたパッド7を用いてフリップチップタイプ或いはワイヤボンディングタイプの半導体素子の回路接続が行なわれている。

【0011】 然し、ポリイミドを層間絶縁膜として用いる場合は熱伝導率が小さいために、搭載した半導体素子の放熱手段を別に設ける必要があり、回路接続用のビアとは別に放熱用のサーマルビアが設けられている。

【0012】 以下、理解を容易にするために同一材料については同一の番号を付して説明する。図3は放熱用のスタガードビアの構成図であって、従来と同様にセラミック基板1の上に第1の導体配線層2、ビア形成位置を穴開けした第1の層間絶縁層3、ビア4をもつ第2の導体配線層5とビアを斜め階段状あるいは螺旋階段状に形成して放熱を行なっている。

【0013】 然し、この構造の問題点はビアの形状が垂直でないために放熱性が充分でないことである。図4はこれとは別のサーマルビアの構成を示す断面図であって、セラミック基板1の上に先と同様に薄膜形成技術と写真蝕刻技術を用いて第1の導体配線層2を形成した後、この上に感光性ポリイミドをスピンコートし、溶剤乾燥を行なった後に選択露光して現像を行い、その後加熱してキュアを行なうとポリイミドの脱水縮合が行なわれるために、サーマルビアの形成部はほぼ45度のテーパ角度の穴をもつ第1の層間絶縁層3ができる。

【0014】 次に、この穴の上に薄膜形成技術と写真蝕刻技術を用いて第2の導体配線層5を形成すると、第2の導体配線層5は第1の導体配線層2と密着すると共に皿状の断面となる。

【0015】 次に、同様に第2の層間絶縁層9を形成し、この上に同様に第3の導体配線層10を形成すると開口部は次第に広がった穴が形成される。このようにして生じた穴に銀（Ag）ペーストなどの導電性樹脂11を充填することによりサーマルビアが形成されている。

【0016】また、別の方法として図5に示すようにセラミック基板1の上に第1の導体配線層2を形成した後、第1の層間絶縁層3、第2の導体配線層5、第2の層間絶縁層9と順次に積層して薄膜多層回路基板を形成した後、サーマルビア形成位置を除いてレジストで被覆してプラズマエッチングを行い、第1の導体配線層2までポリイミド層を穴開けした後、第1の導体配線層2を陰極としてメッキを行い、CuやNiなどのメッキ金属12により充填する方法がある。

【0017】この方法は工程が少なく簡単な方法であるが、ドライエッチングに時間を要する点が問題である。例えば、ポリイミドの総厚が100  $\mu\text{m}$  の場合はドライエッチングに2～3時間を必要とし、量産に向かない点が問題である。

【0018】

【発明が解決しようとする課題】半導体集積回路を搭載し、高速信号を処理する多層回路基板としてポリイミドを層間絶縁層とする薄膜多層基板が注目されているが、この実用化のためには放熱のためにサーマルビアを設ける必要がある。

【0019】そこで、各種のサーマルビア形成法が提案されているが、それぞれに得失があり充分とは言えない。そこで、量産に向く製造方法を実用化することが課題である。

【0020】

【課題を解決するための手段】上記の課題はセラミック基板上に放熱用金属層を形成し、この金属層上に反射防止用ポリイミド層を形成する工程と、サーマルビア形成位置に同じ穴径を有する層間絶縁層を位置合わせしながら積層する工程と、ドライエッチングを行なって穴の整形と反射防止用ポリイミド層の穴開けをする工程と、メッキ処理により穴を金属で埋める工程とを含むことを特徴として薄膜多層回路基板の製造方法を構成することにより解決することができる。

【0021】

【作用】発明者は図5に示したように、セラミック基板上に第1の導体配線層を形成した後、この上に多層回路基板を形成し、最後にドライエッチングを行なってサーマルビア用の穴開けを行なった後、メッキ処理により封口してサーマルビアを形成する方法が最も好ましい方法であると考えた。

【0022】然し、先に記したようにこの方法はドライエッチングに長時間を要し、実用的な方法ではない。そこで、このドライエッチング時間を短縮する方法として本発明は予め粗く穴開けを行なっておき、ドライエッチングは穴の整形工程に使用するものである。

【0023】ここで、ネガ型の感光性ポリイミドを使用して層間絶縁層を形成する場合の問題点は金属層からの反射によりマスク領域でも硬化が生ずることである。すなわち、最後にメッキを行なってサーマルビアを形成す

るためには、基板上に一樣に金属層を設けておく必要があるが、この金属層からの反射によりマスク領域でも硬化が生ずると云う問題がある。

【0024】そこで、本発明においては、図1(A)に示すようにセラミック基板1の上に放熱用金属層14を設けた後、この上に反射防止用のポリイミド層15を設け、この上に感光性ポリイミドを被覆して従来と同様に第1の導体配線層2を形成した後、感光性ポリイミドを用いてサーマルビア用の穴16と図示を省略したビア用の穴を備えた第1の層間絶縁層3を形成する。

【0025】ここで、感光性ポリイミドのキュアを行なう段階でサーマルビア用の穴16は拡がるが、この上に第2の層間絶縁層9を形成する際にはなるべくサーマルビア用の穴16が拡がらないようにして多層化を行なう。

【0026】次に、同図(B)に示すように層間絶縁層の上にレジスト17を被覆して、サーマルビア形成部を除いてレジスト17を被覆した後、プラズマエッチングを行い、サーマルビア用の穴16を整形すると共に放熱用金属層14に達するまで反射防止用のポリイミド層15をドライエッチングする。

【0027】次に、同図(C)に示すように放熱用金属層14を陰極としてメッキを行い、CuやNiなどのメッキ金属12を充填することによりサーマルビアができあがる。このような工程をとれば従来に較べて遙かに短時間にサーマルビアを形成することができる。

【0028】

【実施例】セラミック基板としては大きさが100×100mmで厚さが1mmのAlN基板を用いた。

【0029】また、放熱用金属層と導体配線層は何れもスパッタ法によりCrの厚さ100nm、Cuの厚さ5 $\mu\text{m}$ としてCr/Cu/Crの三層構造をとった。以下、図1を用いて実施法を説明する。

【0030】セラミック基板1の上にスパッタ法により放熱用金属層14を一樣に形成した後、感光性ポリイミド液をスピンコートした後、ホットプレート上に載置し、80℃で5分間溶剤乾燥を行なった後、全域に亘って紫外線を照射した後、400℃に加熱してキュアを行い、厚さが20 $\mu\text{m}$ の反射防止用ポリイミド層14を形成した。

【0031】次に、スパッタ法を用いる薄膜形成技術と写真蝕刻技術を用いて第1の導体配線層2を形成した。次に、感光性ポリイミド液を先と同様に塗布し、溶剤乾燥を行なったのち、選択露光を行なって後、現像してサーマルビア用の穴16と多数のビアを形成し、次に、キュアを行なったが、反射防止用のポリイミド層14が存在するために反射光の影響はなかったが、サーマルビア用の穴16にはテイバーがついていた。

【0032】次に、同様に第2の導体配線層/第2の層間絶縁層/第3の導体配線層/第3の層間絶縁層と層形成を行った。(以上同図A)次に、第3の層間絶縁層18の上にレジストを被覆した後、選択露光と現像を行なっ

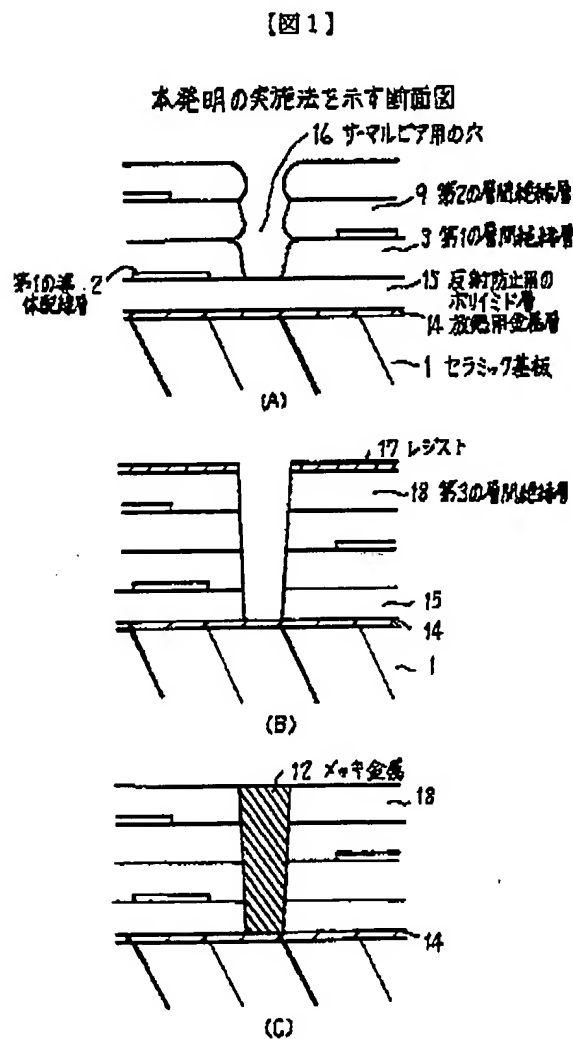
て径100  $\mu\text{m}$  のサーマルビアを開口させ、この基板を平行平板型の電極をもつプラズマエッチング装置に位置決めし、酸素 ( $\text{O}_2$ ) と四弗化炭素 ( $\text{CF}_4$ ) を1:1の流量で供給しながら真空排気し、13.56 MHzの高周波を500 Wの電力で供給してドライエッチングを行い、反射防止用ポリイミド層15を放熱用金属層14に到るまでエッチングした結果、サーマルビア用の穴16の内側も平坦に整形された。(以上同図B) 次に、放熱用金属層14を陰極としてメッキ液に浸漬し、Cuメッキを行い、第3の層間絶縁層18まで析出させて封口した。(以上同図C) このような工程をとることにより従来はドライエッチングに約3時間を要していたものを約20分に縮小することができた。

【0033】

【発明の効果】本発明の実施によりサーマルビア形成工程におけるドライエッチング時間を格段に減少することができ、これによりドライエッチングによるサーマルビアの形成を実用化することができた。

【図面の簡単な説明】

【図1】本発明の実施法を示す断面図である。



【図2】薄膜多層回路基板の構成を示す断面図である。

【図3】スタガードビアの構成を示す断面図である。

【図4】感光性ポリイミドを用いるサーマルビアの構成断面図である。

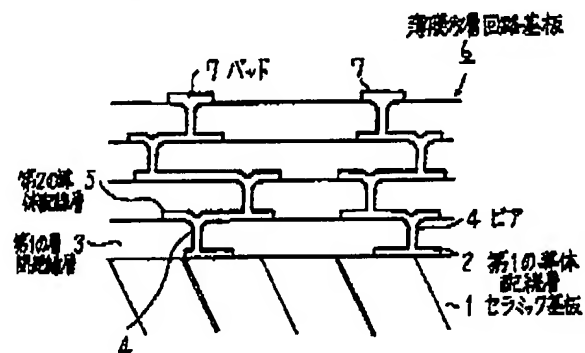
【図5】ドライエッチングによるサーマルビアの構成断面図である。

【符号の説明】

- |    |              |
|----|--------------|
| 1  | セラミック基板      |
| 2  | 第1の導体配線層     |
| 3  | 第1の層間絶縁層     |
| 4  | ビア           |
| 5  | 第2の導体配線層     |
| 6  | 薄膜多層回路基板     |
| 9  | 第2の層間絶縁層     |
| 10 | 第3の導体配線層     |
| 12 | メッキ金属        |
| 14 | 放熱用金属層       |
| 15 | 反射防止用のポリイミド層 |
| 17 | レジスト         |
| 20 | 第3の層間絶縁層     |

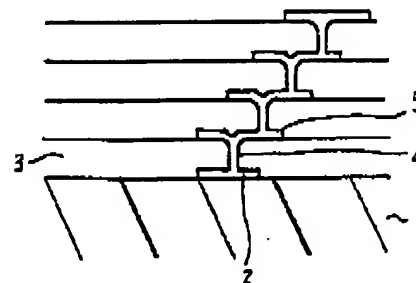
【図2】

薄膜多層回路基板の構成を示す断面図

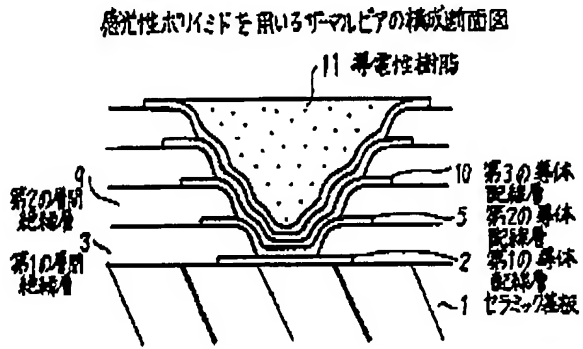


【図3】

スタガードビアの構成を示す断面図



【図4】



【図5】

ドライエッチングによるサマルピアの構成断面図

